

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-183663
 (43)Date of publication of application : 30.06.2000

(51)Int.Cl. H03F 1/32
 H03F 3/60

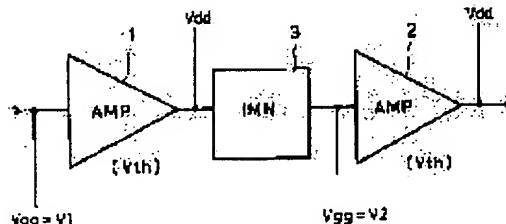
(21)Application number : 10-360136 (71)Applicant : NEC CORP
 (22)Date of filing : 18.12.1998 (72)Inventor : TAKAHASHI HIDETADA

(54) MULTI-STAGE AMPLIFIER

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain MMIC type multi-stage amplifiers that are integrated on the same substrate, where the distortion characteristic is enhanced.

SOLUTION: In a configuration of 2-stage amplifiers consisting of a 1st stage amplifier circuit 1 and 2nd stage amplifier circuit 2, where gate biases V1, V2 are changed independently of each other respectively, the set bias V1 is selected so as to be a half of a maximum gm or below in a gm profile and the set bias V2 of the 2nd stage amplifier circuit 2 is selected so as to be a half of a maximum gm or over. Thus, the 1st stage amplifier circuit 1 acts almost like a class B operation and the 2nd stage amplifier circuit 2 acts almost as a class AB operation. The entire distortion characteristic of the multi-stage amplifier can be enhanced by canceling a gain compression and a positive phase shift caused in the post-stage amplifier circuit with a gain expansion and a negative phase shift caused in the 1st stage amplifier circuit through the selection of the bias voltages as above.



LEGAL STATUS

[Date of request for examination] 18.03.1999
 [Date of sending the examiner's decision of rejection] 15.10.2002
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-183663 ✓

(P2000-183663A)

(43)公開日 平成12年6月30日 (2000.6.30)

(51)Int.Cl.⁷

H 03 F 1/32
3/60

識別記号

F I

H 03 F 1/32
3/60

テマコード(参考)

5 J 067
5 J 090

審査請求 有 請求項の数 6 O L (全 5 頁)

(21)出願番号 特願平10-360136

(22)出願日 平成10年12月18日 (1998.12.18)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 高橋 英匡

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100088812

弁理士 ▲柳▼川 信

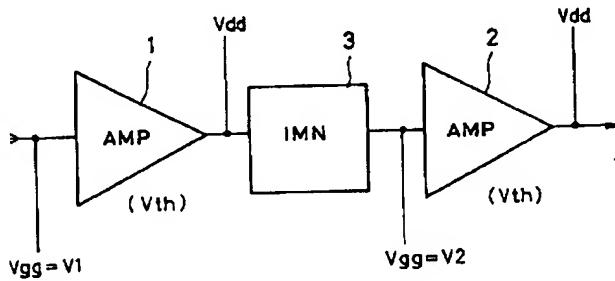
最終頁に続く

(54)【発明の名称】 多段増幅器

(57)【要約】

【課題】 同一基板上で作成でき歪み特性を低減したM
MIC型の多段増幅器を得る。

【解決手段】 1段目の増幅回路1と2段目の増幅回路
2とのゲートバイアスV1、V2を夫々独立に変更でき
るよう2段増幅器の構成に対し、V1の設定バイアス
をgmプロファイルの最大gmの1/2以下になるよう
に設定し、2段目の増幅回路のV2を最大gmの1/2
以上に設定する。これにより、1段目の増幅回路はほぼ
B級動作、2段目の増幅回路はA B級動作となる。この
様にバイアス設定を選ぶことで、後段の増幅回路で生じ
るゲインコンプレッション及び正の位相シフトを、初段
の増幅回路のゲインエクスパンション及び負の位相シフ
トで相殺することにより、増幅器全体の歪み特性を改善
する効果が得られる。



【特許請求の範囲】

【請求項1】 増幅素子としてFETを使用した第一及び第二増幅回路をこの順に多段接続構成としてなる多段増幅器であって、前記第一及び第二増幅回路の一方のFETのゲートバイアスを、 g_m が最大 g_m の $1/2$ 以下となるように設定し、他方のFETのゲートバイアスを、 g_m が最大 g_m の $1/2$ 以上となるように設定したことを特徴とする多段増幅器。

【請求項2】 前記第一増幅回路のFETのゲートバイアスを前記第二増幅回路のそれよりも深く設定したことを特徴とする請求項1記載の多段増幅器。

【請求項3】 前記FETは、リセスされたチャネル領域表面にショットキー電極が形成されたリセス型FETであり、これ等リセス深さを互いに異なるように設定して、前記第一及び第二増幅回路のFETの各ゲートバイアスが実質的に最大 g_m の $1/2$ 以下及び以上となるようにしたことを特徴とする請求項1記載の多段増幅器。

【請求項4】 前記第一増幅回路のFETのリセス深さを、前記第二増幅回路のそれに比較して深くしたことを特徴とする請求項3記載の多段増幅器。

【請求項5】 前記第一及び第二増幅回路の各FETの外部ゲートバイアス電圧は同一であることを特徴とする請求項3または4記載の多段増幅器。

【請求項6】 前記第一及び第二増幅回路を一組として、複数組を多段接続構成してなることを特徴とする請求項1～5いずれか記載の多段増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は多段増幅器に関し、特に増幅素子としてFETを使用した複数の増幅回路を多段接続構成としてなるMMIC (Microwave Monolithic Integrated Circuit) 型の多段増幅器に関するものである。

【0002】

【従来の技術】 この種のMMIC型多段増幅器、特に2段増幅器においては、低歪み化が重要な課題の一つになっている。この低歪み化を達成するために、通常多段増幅器では、初段と後段が互いに歪み特性が異なるデバイスを選び、歪みを相殺するような方法がとられる。

【0003】 例えば、特開平6-69731号公報においては、前段にバイポーラトランジスタ、後段にFETを配して、振幅歪み、位相歪みが補償されるような多段増幅器が開示されている。また、特開平9-171962号公報においては、耐圧が高く歪みの小さいセルフアライン型のFETを後段に、利得の大きいゲートリセス型のFETを前段に夫々配置した構造が開示されている。

【0004】

【発明が解決しようとする課題】 しかしながら、特開平6-69731号公報に開示の手法では、MMICとし

て、同一のチップ内に作り込むことが困難である。また、特開平9-171962号公報に開示の手法では、後段のセルフアラインFET以上の歪みを得ることができないという問題がある。

【0005】 本発明の目的は、同一基板上で作成でき歪み特性を低減したMMIC型の多段増幅器を提供することである。

【0006】

【課題を解決するための手段】 本発明によれば、増幅素子としてFETを使用した第一及び第二増幅回路をこの順に多段接続構成としてなる多段増幅器であって、前記第一及び第二増幅回路の一方のFETのゲートバイアスを、 g_m が最大 g_m の $1/2$ 以下となるように設定し、他方のFETのゲートバイアスを、 g_m が最大 g_m の $1/2$ 以上となるように設定したことを特徴とする多段増幅器が得られる。

【0007】 そして、前記第一増幅回路のFETのゲートバイアスを前記第二増幅回路のそれよりも深く設定したことを特徴とする。また、前記FETは、リセスされたチャネル領域表面にショットキー電極が形成されたリセス型FETであり、これ等リセス深さを互いに異なるように設定して、前記第一及び第二増幅回路のFETの各ゲートバイアスが実質的に最大 g_m の $1/2$ 以下及び以上となるようにしたことを特徴とする。

【0008】 更に、前記第一増幅回路のFETのリセス深さを、前記第二増幅回路のそれに比較して深くしたことを特徴とし、また、前記第一及び第二増幅回路の各FETの外部ゲートバイアス電圧は同一であることを特徴とする。そして、前記第一及び第二増幅回路を一組として、複数組を多段接続構成してなることを特徴とする。

【0009】 本発明の作用を述べる。AB級動作する高出力の多段、例えば2段FETにおいて、1段目の増幅回路のゲートバイアス設定を、2段目増幅回路のゲートバイアス設定よりも深くすることにより、互いの位相シフトをキャンセルして、全体として低歪み化した増幅器を実現する。

【0010】 すなわち、1段目の増幅回路と2段目の増幅回路とのゲートバイアスV1、V2を夫々独立に変更できるような、2段増幅器の構成に対し、V1の設定バイアスを g_m プロファイルの最大 g_m の $1/2$ 以下になるように設定し、2段目の増幅回路のV2を最大 g_m の $1/2$ 以上に設定する。これにより、1段目の増幅回路はほぼB級動作、2段目の増幅回路はAB級動作となる。この様にバイアス設定を選ぶことにより、後段の増幅回路で生じるゲインコンプレッションおよび正の位相シフトを、初段の増幅回路のゲインエクスパンジョンおよび負の位相シフトで相殺することにより、増幅器全体の歪み特性を改善する効果が得られる。

【0011】

【発明の実施例】以下に、図面を参照しつつ本発明の実施の形態につき説明する。図1は本発明の実施の形態を説明するためのブロック図である。図1を参照すると、一例としての2段増幅器の構成が示されており、前段増幅回路(AMP)1と後段増幅回路(AMP)2とが設けられており、この中間段には、内部整合回路(IMN: Internal Matching Network)3が配置されている。

【0012】これ等増幅回路1, 2はその増幅素子とてMES(Metal Semiconductor)型FETが使用されており、各ゲートバイアスV_{gg}はV1, V2とされている。尚、V_{dd}は回路電源を示しており、V_{th}はFETの閾値電圧を示す。

【0013】図2は図1の2段増幅器のバイアス設定を説明する図である。図1の前段増幅回路1のゲートバイアスV1及び後段増幅回路2のゲートバイアスV2は、図2において示される如きバイアスに設定される。すなわち、V1は最大g_mの1/2とV_{th}との間に、V2は最大g_mの1/2以上設定にする。かかる構成とすることによって歪みが改善できる理由を図3～5を用いて説明する。

【0014】先ず、図5を参照すると、MES型FETのg_mプロファイルの例を示しており、このg_mプロファイルに対して、図3にAM-AM(入力電力対利得)特性のセットバイアス依存性のシミュレーション結果を示し、また図4にAM-PM(入力電力対位相)特性のセットバイアス依存性のシミュレーション結果を示す。V_{gs}=-2.0Vのセットバイアスでは、図3に示す様にAM-AM特性はコンプレッション特性を有し、それと同時に、図4に示すように位相が正にシフトすることが分かる。このような条件は、図5を参照して、V_{gs}の設定バイアスが最大g_mのおよそ1/2以上に設定した場合である。

【0015】これに対し、V_{gs}=-2.4Vの条件は最大g_mの1/2以下に設定した場合で、図3に示す如く、AM-AM特性はエクスパンジョンの特性を示し、図4に示す如く、位相は負にシフトすることがわかる。従って、例えば、前段のバイアス設定をV1=-2.4V、後段のバイアス設定を-2.0Vと選びかつ、各段の総ゲート幅を、利得およびAM-AM特性の変化が起こる入力レベルのオフセットから適切に決定してやることにより、振幅歪み、位相歪みを補償して、歪み特性を改善することができる2段増幅器を実現することができる。

【0016】前述した実施例においては、初段および後段のFETのバイアス設定を変化させることにより、低歪み化を図ったが、本実施例では、前段および後段のFETのV_{th}を変化させ、各段同一のセットV_{gs}により同じ効果を得るものである。このために、例えば、通常パワーFETで用いられているゲートリセス構造(リセス

されたチャネル領域表面にショットキー電極が形成された構造)を有するMES型FETにおいて、初段の増幅器についてはゲートリセス深さを、後段のFETに比較して深く設定する。

【0017】図6にそのg_mプロファイルのゲートリセスによる変化を示しており、プロファイル曲線61がリセス深さが深い場合のもの、プロファイル曲線62がリセス深さが浅い場合のものである。ここでは、前段のV_{th}=-2.5VのFETと、後段のV_{th}=-2.2VのFETとを示している。これらのFETに対し、V_{gs}=-2.1Vの設定にした場合、それぞれのFETは最大g_mの1/2以下および以上のバイアスに設定されることが分かる。このバイアス設定におけるAM-AM特性を図7に、AM-PM特性を図8に夫々示す。振幅歪みおよび位相歪みが前段後段で逆に動くことにより、各増幅段のFETのゲート幅を適切に決めるこにより、歪みを補償するという効果がある。

【0018】尚、上記第一の実施例では、前段増幅回路1及び2の各FETのゲートバイアスを夫々最大g_mの1/2以下及び最大g_mの1/2以上となるように設定したが、互いに逆に設定してもよい。また、上記第二の実施例では、前段増幅回路1のFETのゲートリセスの深さを後段のそれよりも深くしているが、この場合にも逆に設定してもよい。更に、これ等両実施例においては、2段増幅器構成を示しているが、これ等2段増幅器を一組として、複数組を多段接続構成としても良いことは明白である。

【0019】

【発明の効果】以上述べたように、本発明によれば、後段のFETにて生じるゲイン及び位相の変動を、後段のFETにて生じるゲイン及び位相の変動にて打ち消すようにしたので、全体として歪みの劣化を減少可能となり、また同一基板上で実現可能なMMICとすることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態を示す図である。

【図2】図1の回路における増幅素子であるFETのゲートバイアス設定を説明する図である。

【図3】FETのAM-AMの設定バイアス依存性を示す図である。

【図4】FETのAM-PMの設定バイアス依存性を示す図である。

【図5】FETのg_mプロファイルを示す図である。

【図6】FETのg_mプロファイルのゲートリセスによる変化を示す図である。

【図7】図6において、V_{gs}=-2.1Vとした場合のAM-AM特性を示す図である。

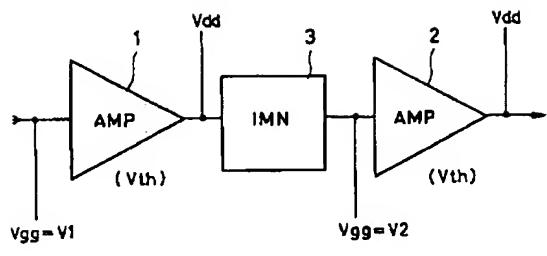
【図8】図6において、V_{gs}=-2.1Vとした場合のAM-PM特性を示す図である。

【符号の説明】

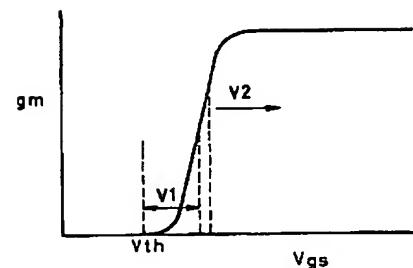
1 前段増幅回路
2 後段増幅回路

3 内部整合回路

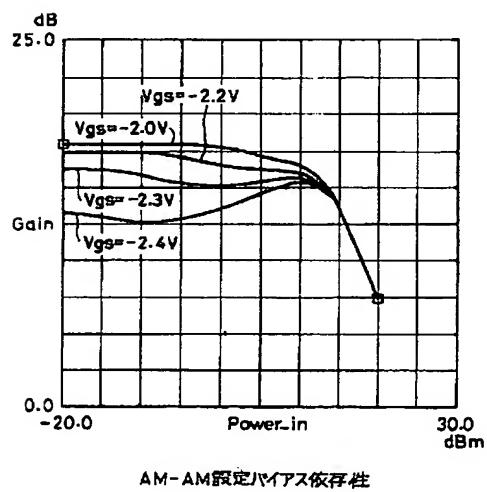
【図1】



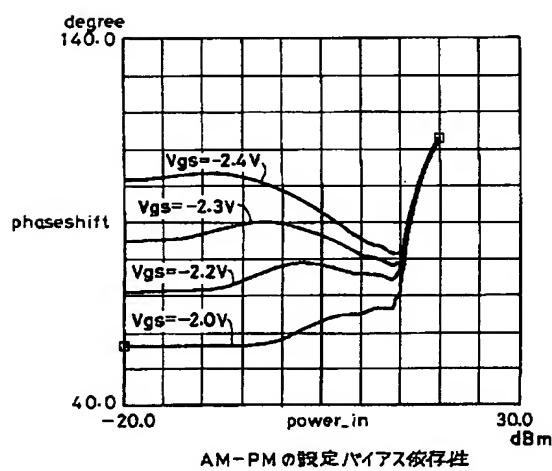
【図2】



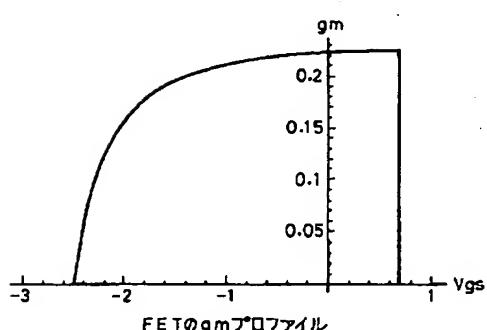
【図3】



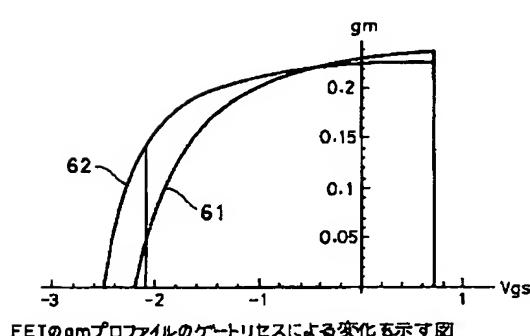
【図4】



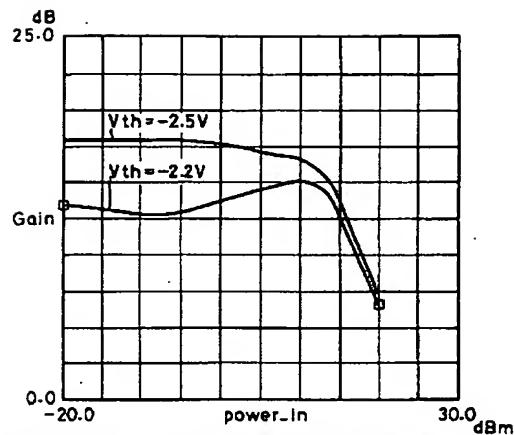
【図5】



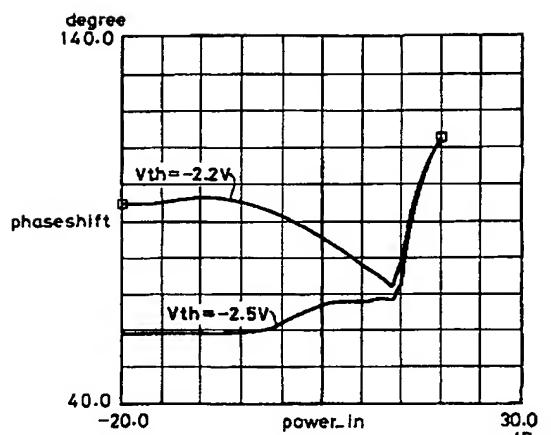
【図6】



【図7】

図6において $V_{gs} = -2.1V$ とした場合のAM-AM特性

【図8】

図6において $V_{gs} = -2.1V$ とした場合のAM-PM特性

フロントページの続き

F ターム(参考) 5J067 AA04 AA41 AA63 AA64 CA21
 CA81 FA08 FA12 HA11 HA16
 KA12 KA29 KA48 KA68 KS11
 MA08 MA22 SA14 TA01 TA02
 5J090 AA04 AA41 AA63 AA64 CA21
 CA81 FA08 FA12 GN03 GN04
 HA11 HA16 KA12 KA29 KA48
 KA68 MA08 MA22 SA14 TA01
 TA02